

CORR. TO US 6,016,172

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-214951

(43)公開日 平成9年(1997)8月15日

(51) Int.Cl.<sup>6</sup>

H 04 N 7/24

識別記号

序内整理番号

F I

H 04 N 7/13

技術表示箇所

Z

審査請求 未請求 請求項の数2 O L (全4頁)

(21)出願番号 特願平8-303289

(22)出願日 平成8年(1996)11月14日

(31)優先権主張番号 1995 44331

(32)優先日 1995年11月28日

(33)優先権主張国 韓国(KR)

(71)出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅謹洞416

(72)発明者 許 峰泰

大韓民国京畿道龍仁郡器興邑農香理山24

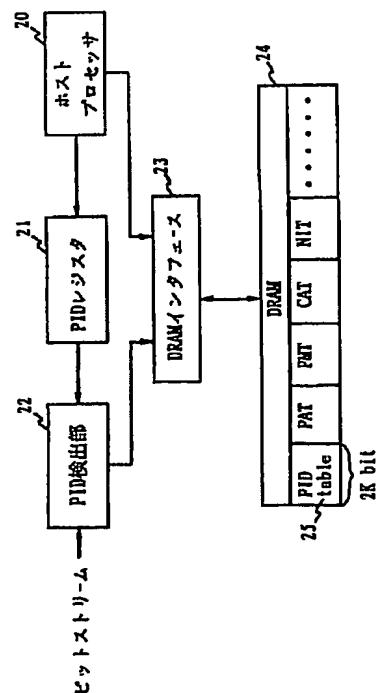
(74)代理人 弁理士 志賀 正武 (外2名)

(54)【発明の名称】MPEG-2システムデコーダにおけるチャンネルホッピングタイム減少方法

## (57)【要約】

【課題】受信チャンネルを変更する場合に反応速度を最小化させることにより受信機の性能を向上させるMPEG-2のシステムデコーダにおけるチャンネルホッピングタイム減少方法を提供する。

【解決手段】多数のプログラムに対するオーディオ及びビデオのPID値を検出して所定の貯蔵領域に貯蔵する第1段階と、チャンネル変更時に前記貯蔵領域に貯蔵されたオーディオ及びビデオのPIDをアクセスしてチャンネル変更動作を行う第2段階とを含む。よって、DRAMに所定容量の貯蔵領域を備えて各プログラムに対するオーディオ及びビデオのPID値を所定容量の貯蔵領域に貯蔵して置き、以後にチャンネルを変更する場合は貯蔵されたオーディオ及びビデオのPID値を使用することによりチャンネル変更時の所要時間を縮められるので、チャンネルホッピングタイムが短縮できて受信機の性能を向上させる。



**【特許請求の範囲】**

**【請求項1】** MPEG-2システムデコーダにおけるチャンネルホッピングタイム減少方法において、多数のプログラムに対するオーディオ及びビデオのPID値を検出して所定の貯蔵領域に貯蔵する第1段階と、チャンネル変更時に前記貯蔵領域に貯蔵されたオーディオ及びビデオのPIDをアクセスしてチャンネル変更動作を行う第2段階とを含むことを特徴とするMPEG-2システムデコーダにおけるチャンネルホッピングタイム減少方法。

**【請求項2】** MPEG-2システムデコーダにおけるチャンネルホッピングタイム減少方法において、初期にチャンネル設定手段を用いてチャンネル設定動作を行うことにより多数のプログラムに対するPID分析のためのPSI処理動作を予め行ってオーディオ及びビデオのPID値を所定の貯蔵領域に貯蔵する第1段階と、チャンネル変更時に前記貯蔵領域に貯蔵されたオーディオ及びビデオのPID値をアクセスしてチャンネル変更動作を行う第2段階と、

電源がオフされる場合、前記貯蔵領域に電源を印加し続けて前記貯蔵領域に貯蔵されたオーディオ及びビデオのPID値を保存する第3段階とを含むことを特徴とするMPEG-2システムデコーダにおけるチャンネルホッピングタイム減少方法。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** 本発明はMPEG-2システムデコーダに係り、特に受信チャンネルを変更する場合に反応速度を最小化させることにより受信機の性能を向上させるMPEG-2のシステムデコーダにおけるチャンネルホッピングタイム減少方法に関する。

**【0002】**

**【従来の技術】** 一般に、MPEG-2を用いて放送を受信する場合、PSI(Program Specific Information)が使われるが、このPSIはPAT(Program Association Table)、PMT(Program Map Table)、NIT(Network Information Table)及びCAT(Conditional Access Table)などより構成されている。一方、PATは全てのプログラムのPMT PID(Packet Identifier)を有しており、PMTには該当プログラムのビデオPIDとオーディオPID情報を有している。NITはFDM周波数や、トランスポンダの個数のような物理的なネットワークパラメタに関する情報を有している。また、CATはEMM(Entitlement Management Message)のような情報のPIDなどを有している。そして、PAT、PMT、CATは最大1024バイトからなるので、最大六つのパケット(一つのパケット: 188バイト)からなり、NITは最大4096バイトから構成される。

**【0003】** 従来、MPEG-2システムデコーダにお

けるPID検出構造は図2に示したように、ホストプロセッサ10、PIDレジスタ11、PID検出部12、DRAMインターフェース13及びDRAM14を備えて成る。PID検出部12はビットストリームが入力されれば、該当ビットストリームからPIDを検出してDRAMインターフェース13側に出力する。前記DRAMインターフェース13はDRAM14を整合させるためのもので、PID検出部12から印加されるPIDをDRAM14側へ伝達し、該DRAM14のPIDをホストプロセッサ10側に伝達してやる。前記DRAM14はDRAMインターフェース13を通して印加されるPIDを貯蔵し、貯蔵されたPIDを前記DRAMインターフェース13を通してホストプロセッサ10側に提供する。前記ホストプロセッサ10はDRAM14に貯蔵されるPMT PID値を読み取って分析処理してPIDレジスタ11を通してPID検出部12が所望のPIDが検出できるよう制御し、前記DRAM14のPIDを読み取って分析処理することにより選択されたプログラムに対するオーディオ及びビデオのPIDを探し出す動作を行う。

**【0004】** このような従来のMPEG-2システムデコーダは選択されたプログラムのオーディオ及びビデオPIDを探し出す場合は次のように動作を行う。まず、PATが入力されるまで待機していてからPATが入力されれば、該当PATをDRAM14に貯蔵し、前記ホストプロセッサ10はDRAM14に貯蔵されたPATを読み取って分析することにより選択されたプログラムに対するPMT PIDを探し出した後、該当PID値をPIDレジスタ11に出力してPID検出部12が該当PID値を有するパケットを検出してDRAM14に貯蔵されることによりPMTの全てがDRAM14に貯蔵されれば、該当情報をDRAM14から読み取って分析して選択されたプログラムに当たるオーディオ及びビデオのPID値を探し出し、そのPID値でオーディオ及びビデオ検出処理を行う。

**【0005】** かかる従来のPID検出方式は電源が入力された後にPSIパケットが全て入力されるまで待機していてから全て受信された後に選択されたチャンネルに当たるオーディオ及びビデオPIDを探し出すことにより多くのチャンネルホッピングタイムが求められ、チャンネルを変更する場合は選択されたチャンネルのプログラムに応ずるオーディオ及びビデオPIDを捕捉するためにはDRAM14に貯蔵されているPAT、PMTなどを順次にアクセスして分析する過程を経ることにより電源入力とチャンネル選択する場合に反応時間が多く所要される問題点がある。

**【0006】**

**【発明が解決しようとする課題】** 従って、本発明は前述したような問題点を解消するために案出されたもので、受信チャンネルを変更する場合に反応速度を最小化させ

ることにより受信機の性能を向上させるMPEG-2システムデコーダにおけるチャンネルホッピングタイム減少方法を提供するところにその目的がある。

#### 【0007】

【課題を解決するための手段】前述した目的を達成するために本発明の第1実施形態によるMPEG-2システムデコーダにおけるチャンネルホッピングタイム減少方法は、多数のプログラムに対するオーディオ及びビデオのPID値を検出して所定の貯蔵領域に貯蔵する第1段階と、チャンネル変更時に前記貯蔵領域に貯蔵されたオーディオ及びビデオのPID値をアクセスしてチャンネル変更動作を行う第2段階とを含むことを特徴とする。本発明の第2実施形態によるMPEG-2システムデコーダにおけるチャンネルホッピングタイム減少方法は、初期にチャンネル設定手段を用いてチャンネル設定動作を

$$T = PAT\text{周期} + PAT\text{処理時間} + PMT\text{周期} + PMT\text{処理時間} + \alpha$$

... (式1)

ここで、PAT周期はPATが伝送される周期であって、ここでは電源入力とチャンネル変更するT度その間にPATまたはPATが過ぎた場合であって、次のPATやPMTを待機すべきなので、PAT周期は信号捕捉時間に多くの影響を及ぼす。また、 $\alpha$ にはFDM同調

$$T = 0.5\text{sec} + TPAT\_Proc + 0.$$

旋回時間、シーケンスヘッダ発生時間、DRAMアクセス時間などが含まれる。

【0009】従来のMPEG-2システムデコーダ構造においてムクゲ衛星放送の場合に例えて計算した信号捕捉時間は式2の通りである。

$$5\text{sec} + TPMT\_Proc + \alpha$$

... (式2)

M24の貯蔵領域25に貯蔵されているオーディオ及びビデオのPID値をアクセスすることによりチャンネル変更動作を行うのでチャンネルホッピングタイムを減少させる。ムクゲ衛星に例える場合、現在予定されたプログラム数は12個になっており、最大60個まで可能に設計されているが、各プログラムのオーディオ及びビデオPIDを貯蔵する場合、 $60 \times 2 \times 13$ ビットなので、約2キロバイト容量の貯蔵領域25をDRAM24に追加することによりチャンネル変更時にオーディオ及びビデオのPID値を再び探し出す時間を減少させうるのでチャンネルホッピングタイムを縮められる。

【0011】本発明によるデコーダ構造における第2実施形態による動作を説明すれば次の通りである。電源がオフされる場合も貯蔵領域25に貯蔵されたPID値を保存するために前記貯蔵領域25に電源を印加し続け、チャンネル設定ボタンを備えて受信機の購入時の最初だけチャンネル設定ボタンを用いてホストプロセッサ20によるチャンネル設定動作を行わせることにより、各プログラムのPID分析のためのPSI処理動作を予め行ってオーディオ及びビデオのPID値を前記DRAM24の貯蔵領域25に貯蔵して置く。こうすれば、受信機に電源を入力する場合とチャンネルを変更する場合にチャンネルホッピングタイムを最小化しうるところ、従来は式2のように長時間が所要されたが、このような方法を用いれば式3のように短いチャンネルホッピングタイムが所要される。

ムクゲ衛星放送の場合、PSIの伝送周期は0.5秒である。本発明によるMPEG-2システムデコーダは図1に示した通りの構造よりなり、ホストプロセッサ20、PIDレジスタ21、PID検出部22、DRAMインターフェース23及びDRAM24を備えてなり、DRAM24にはPID値の貯蔵専用の貯蔵領域25が備えられる。

【0010】このような本発明によるデコーダ構造における第1実施形態による動作を説明すれば次の通りである。まず、受信機に電源が印加される場合、PATが入力されるまで待機していてからPATが入力されれば、該当PATをDRAM24に貯蔵し、ホストプロセッサ20はDRAM24に貯蔵されたPATを読み取って分析することにより選択されたプログラムに対するPMT

PIDを検出した後、該当PID値をPIDレジスタ21に出力してPID検出部22が該当PID値を有するパケットを検出してDRAM24に貯蔵することにより、PMTの全てがDRAM24に貯蔵されれば、該当情報をDRAM24から読み取って分析して選択されたプログラムに当たるオーディオ及びビデオのPID値を検出し、そのPID値でオーディオ及びビデオ検出処理を行う。この際、ホストプロセッサ20が該当オーディオ及びビデオのPID値をDRAM24の指定された貯蔵領域25にアドレッシングして貯蔵して置く。その後、チャンネル変更がなされる場合、ホストプロセッサ20は受信されるPATとPMTを分析せず、DRA

$$T = T_{Memory\_Access} + \alpha \dots \dots \dots \quad (式3)$$

すなわち、このような方法をムクゲ衛星放送を受信する場合に適用すれば少なくとも1秒以上のチャンネルホッピングタイムが縮まる。

【0012】MPEG-2方式による放送では一般に一応定められたPID値は変化されない。しかし、特殊な場合はPID値を配置し直す場合があるが、この場合はPAT、PMTなどのパケット内にバージョンナンバ(Version Number)というパラメーターがあって内容が変化されたかそのままを指示するので、一応各プログラムのPID値を前記貯蔵領域25に全て貯蔵した後はバージョンナンバのみ検索することによりPID変化に対処するようになる。

#### 【0013】

【発明の効果】以上述べたように、本発明によれば、DRAMに所定容量の貯蔵領域を備えて各プログラムに対するオーディオ及びビデオのPID値を所定容量の貯蔵

領域に貯蔵して置き、以後にチャンネルを変更する場合は貯蔵されたオーディオ及びビデオのPID値を使用することによりチャンネル変更時の所要時間を縮められるので、チャンネルホッピングタイムが短縮できて受信機の性能を向上させる。

#### 【図面の簡単な説明】

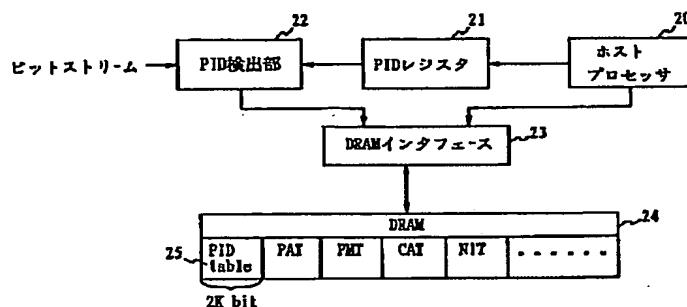
【図1】 本発明によるMPEG-2システムデコーダのPID検出構造を示したブロック図である。

【図2】 従来のMPEG-2システムデコーダのPID検出構造を示したブロック図である。

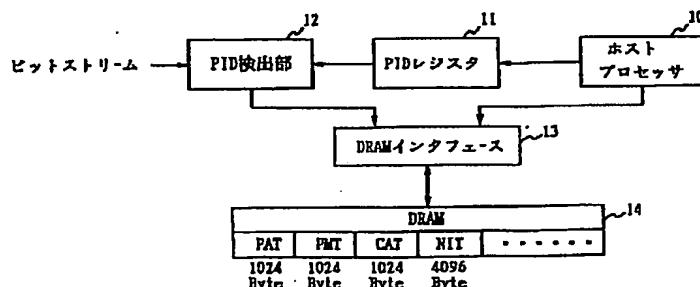
#### 【符号の説明】

- 10、20 ホストプロセッサ
- 11、21 PIDレジスタ
- 12、22 PID検出部
- 13、23 DRAMインターフェース
- 14、24 DRAM

【図1】



【図2】



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-214951  
(43)Date of publication of application : 15.08.1997

(51)Int.Cl. H04N 7/24

(21)Application number : 08-303289 (71)Applicant : SAMSUNG ELECTRON CO LTD  
(22)Date of filing : 14.11.1996 (72)Inventor : KYO SHUNGO

(30)Priority

Priority number : 95 9544331 Priority date : 28.11.1995 Priority country : KR

## (54) CHANNEL HOPPING TIME REDUCTION METHOD IN MPEG-2 SYSTEM DECODER

### (57)Abstract:

PROBLEM TO BE SOLVED: To obtain a method for minimizing a channel revision time by including a stage detecting a PID value of audio and image signals and storing it in a prescribed storage area and a stage accessing the stored PID value to revise a channel.

SOLUTION: At application of power to a receiver, the processing is awaited till a PAT(program association table) is received and when the PAT is received, it is stored in a DRAM 24. A host processor 20 reads the PAT stored in the DRAM 24 and analyzes it to seek a PMT(program map table) and a PID(packet identifier) with respect to the selected program. Then the corresponding PID is outputted to a PID register 21 and a PID detection section 22 detects a packet having the PID value and stores it to the DRAM 24. When all the PMTs are stored in the DRAM 24, corresponding information is read from the DRAM and analyzed.

